

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.<sup>6</sup>  
H01L 27/12**BEST AVAILABLE COPY**(11) 공개번호 특1998-081122  
(43) 공개일자 1998년11월25일(21) 출원번호 특1998-012042  
(22) 출원일자 1998년04월06일(30) 우선권주장 97-885631997년04월08일일본(JP)  
(71) 출원인 마쓰시타덴키산교카부시키가이샤 모리시타요오이찌  
일본국 오사카부 가도마시 오오아자 가도마 1006  
(72) 발명자 후두타마모루  
일본국 오사카부 가도마시 오오아자 가도마 1006마쓰시타 덴키산교 카부시키가이샤 나이  
(74) 대리인 하삼구  
하영욱

심사청구: 없음

(54) 박막트랜지스터 및 그 제조방법과 그것을 사용한 액정표시장치

**요약**

복수개의 LDD구조를 가진 박막트랜지스터를 직렬로 접속한 박막트랜지스터는 리크(leak)전류의 감소효과와 크지만 소자면적의 축소가 곤란하였다. 복수개의 박막트랜지스터의 게이트전극(15)사이를 활성층으로 사용한 반도체박막에 저농도로 불순물을 주입한 영역(13b)만으로 접속한 것에 의해 소자크기 및 축소와 리크전류의 감소를 함께 도모한다.

**대표도**

도1

**명세서****도면의 간단한 설명**

도 1a에서 도 1d까지는 본 발명의 실시예1의 박막트랜지스터의 단면도,  
도 2a에서 도 2d까지는 본 발명의 실시예2의 박막트랜지스터의 단면도,  
도 3a에서 도 3d까지는 본 발명의 실시예3의 액정표시장치용 액티브 매트릭스 어레이의 단면도,  
도 4는 본 발명의 실시예3의 액티브 매트릭스 어레이를 사용한 액정표시장치의 단면도,  
도 5a에서 도 5d까지는 종래의 박막트랜지스터의 단면도이다.

**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야 종래기술**

본 발명은 다결정실리콘 박막트랜지스터(이하, TFT라 한다)의 리크(leak)전류를 감소시키는 것을 목적으로 한 LDD구조와 그의 제조 방법에 관한 것이고, 액정표시장치 등에 응용가능한 기술이다.

종래, 다결정실리콘 TFT의 리크(leak)전류를 감소시키기 위해 LDD(Lightly-Doped-Drain)구조가 제안되고 있다. 또한, 더욱 리크전류를 감소시키기 위해서 LDD구조를 직렬로 접속한 구조가 제안되고 있다. 본 기술에 관하여는 에컨데, International Display Research Conference '93, p.485에 기재되어 있다.

도 5a에서 도 5d까지는 종래의 LDD구조를 직렬로 접속한 박막트랜지스터의 제조방법을 나타낸다.

도 5a에 나타내는 바와 같이 투과성이 있는 유리기판(11:고내열 유리기판) 상에 비정질실리콘 박막을 PCVD법에 의해 형성하고, 질

이 다결정실리콘박막을 섬모상으로 가공하고, 그 위에 게이트절연막(14a)이 되는 산화실리콘박막을 막두께 85nm로 형성한다. 이 산화실리콘박막 상에 2개의 게이트전극(15)을 형성한다. 게이트전극을 형성한 후, 게이트전극(15)을 마스크로서 이온주입법에 의해 제1의 불순물의 주입을 하고, 저농도불순물의 주입영역(n-영역)(13b)을 형성한다.

제1의 불순물의 주입은, 인(P)이온을 가속전압 80kV, 도즈(dose)량  $1 \times 10^{13}/cm^2$ 으로 주입했다. 이 때, 게이트전극(15) 아래쪽의 다결정실리콘박막은 박막트랜지스터의 채널(channel)영역(13a)으로 된다

제1의 불순물의 주입 후, 도 5b에 나타내는 바와 같이 포토레지스트(25)에 의해 박막트랜지스터의 LDD영역 상에 포토레지스트층을 사용한 주입마스크를 형성한 후, 제2의 불순물의 주입을 실시한 박막트랜지스터의 소스(source) 및 드레인(drain)영역으로 되는 고농도불순물의 주입영역(n+영역)(13c)을 형성한다.

이 때 레지스트 마스크의 형상은 도 5b에 나타낸 바와 같이 게이트전극간의 다결정실리콘 영역 위쪽에도 개구부를 설치하고, 각 게이트전극간의 다결정실리콘박막이 저농도불순물의 주입영역(13b)과 고농도불순물의 주입영역(13c)의 양쪽을 거쳐 접속되도록 한 형상으로 형성되어 있다.

제2의 불순물의 주입은, 인(P)이온을 가속전압 80kV, 도즈(dose)량  $1 \times 10^{15}/cm^2$ 으로 주입했다. 제2의 불순물의 주입 후, 포토레지스트 마스크를 제거하고, 주입한 불순물의 활성화처리를 행한다. 활성화처리는 900℃에서 2시간 실시한다.

활성화처리 후, 도 5c에 나타내는 바와 같이 증간절연막(16)을 형성한다. 최후로 도 5d에 나타내는 바와 같이, 콘택트홀(contact hole)을 개구한 후, 소스-드레인 전극(21), (22)을 형성하여 박막트랜지스터가 완성된다

종래에서 설명한 박막트랜지스터에서는, 각 게이트전극간에 소스 및 드레인영역과 같은 농도의 고농도불순물의 주입영역(13c)을 가진다. 이 때문에, 도 5b에 나타낸 것과 같이 직렬로 접속한 양 박막트랜지스터의 소스-드레인영역 형성시와 도핑마스크, 즉 포토레지스트(25)에 개구부를 형성할 필요가 있다

종래 각 게이트 전극간의 개구부, 즉 고농도불순물 주입영역(13c)을 설치하는 것으로 소스-드레인 전극간의 전계강도가 완화되어 TFT의 리크전류가 감소한다는 것이 고려되고 있다

이 개구부의 길이는 짧게 하면 짧게 한 만큼, 소자의 미세화가 가능하게 되지만, 노광기(露光機)의 패턴정밀도, 즉 최소 노광선폭에 의해 제한된다.

또, 각 게이트 전극간의 저농도불순물의 주입영역(13b)의 길이는 설계치수에 노광기의 마스크를 합쳐 정밀도를 더한 값으로 제한된다.

따라서, LDD구조를 가진 박막트랜지스터를 직렬로 접속한 구성을 가지는 박막트랜지스터에 있어서 각 박막트랜지스터 간의 최소수치는 노광기의 최소노광폭을  $W_a(\mu m)$ , 설계상의 저농도불순물의 주입영역길이  $L_d(\mu m)$ , 노광기가 합쳐진 정밀도를  $L_a(\mu m)$ 로 한 경우에는,  $W_a + 2L_d + L_a$ 이하로 하는 것은 곤란하다.

일반적으로 액정표시장치의 제조에 사용되고 있는 대판기판용 노광기에서는 상기한 값이 전형적으로는  $W_a = 5\mu m$ ,  $L_a = 1\mu m$  정도이고,  $L_d = 2\mu m$  일 때에는 게이트전극 간격을  $10\mu m$  이하로 하는 것이 곤란하다.

이와 같은 소자용 액정표시장치의 스위칭소자로서 사용한 경우, 액정표시장치의 개구율의 저하를 야기하고, 밝기의 저하나 소비전력의 증대가 있다는 과제가 생긴다.

### 발명이 이루고자하는 기술적 과제

본 발명은 LDD구조를 가지는 박막트랜지스터를 직렬로 접속한 구성에 있어서, 박막트랜지스터의 리크전류를 저감하면서, 소자의 미세화가 가능한 박막트랜지스터와 그 제조방법 및 액정표시장치를 제공하는 것을 목적으로 한다.

이 과제를 해결하기 위해 본 발명은 다결정실리콘박막을 활성층으로 하고, 또한 1개의 박막트랜지스터에 복수개의 게이트전극을 가지는 박막트랜지스터에 있어서, 박막트랜지스터의 채널영역과 소스 및 드레인영역 사이에 저농도불순물의 주입영역을 가지고, 또한 각 게이트전극 간의 다결정실리콘박막은 저농도불순물의 주입영역만으로 접속되어 있다.

또한, 본 발명은 다결정실리콘박막을 활성층으로 하고, 상기한 다결정실리콘박막의 위쪽에 게이트절연막을 가지고, 상기한 게이트절연막의 위쪽에 복수개의 게이트전극을 가지는 박막트랜지스터에 있어서, 채널영역과 소스 및 드레인영역간에 저농도불순물의 주입영역을 가지는 LDD구조를 형성할 때에, 게이트전극을 마스크로서 제1의 불순물의 주입을 행한 후, 게이트전극 간의 다결정실리콘영역의 위쪽을 포함하여 LDD 영역으로 이루어진 영역 상에 주입마스크를 형성하고 제2의 불순물의 주입을 행한다.

더욱이 본 발명은, 다결정실리콘박막을 활성층으로 하고, 상기한 다결정실리콘박막 상에 게이트절연막을 가지고, 상기한 게이트절연막 상에 복수개의 게이트전극을 가지는 박막트랜지스터에 있어서, 채널영역과 소스 및 드레인영역간에 저농도불순물의 주입영역을 가지는 LDD구조를 형성하는 것으로 하고, 다결정실리콘박막 상에 이종절연막(異種絶縁膜)을 적층하고, 상기한 게이트절연막의 상층절연막을 적어도 소스 및 드레인영역 상에서는 제거하며, 또한 저농도불순물영역 및 각 게이트전극간의 다결정실리콘외 위쪽을 피

복합된 층구조를 가진다. 게이트전극과 채널층, 드레인층의 불순물의 주입을 하는 것이다.

또한, 본 발명은 다결정실리콘박막을 활성층으로 하고 구동회로를 동일기판 내로 집적화한 액정표시장치용 액티브 매트릭스 어레이에 있어서, 화소전극을 구동하는 박막트랜지스터에 복수개의 게이트전극을 가지고, 상기한 박막트랜지스터의 채널영역과 소스 및 드레인영역의 사이에 저농도 불순물의 주입영역을 가지는 LDD구조를 가지고, 또한, 각 게이트전극간의 다결정실리콘박막은 저농도 불순물의 주입영역만으로 접속되어 있는 것을 특징으로 하는 액티브 매트릭스 어레이를 사용한 것이다.

실시에능 고려하면, 먼저 본 발명의 박막트랜지스터는 다결정실리콘박막을 활성층으로 하고, 또 1개의 박막트랜지스터에 복수개의 게이트전극을 가지는 박막트랜지스터에 있어서, 박막트랜지스터의 채널영역과 소스 및 드레인영역의 사이에 상기한 소스 및 드레인영역과 비교하여 저농도의 불순물을 주입한 다결정실리콘영역을 가지고, 또한, 각 게이트전극간과 다결정실리콘박막은 상기한 저농도의 불순물을 주입한 다결정실리콘박막만으로 형성되어 있는 것을 특징으로 한다.

이것에 의해, 각 게이트전극간의 크기는 노광기의 최소선폭으로만 규정할 수 있고, 리크전류를 감소시키면서 소자크기를 축소하는 것이 가능하다.

또는 본 발명의 박막트랜지스터는 저농도로 불순물을 주입한 다결정실리콘박막의 시트저항이 바람직하게는  $5k\Omega \sim 150k\Omega$ 인 것을 특징으로 한다.

더욱이 본 발명의 박막트랜지스터는 소스 및 드레인영역의 사이에 포함된 전체의 저농도불순물을 주입한 다결정실리콘박막 길이와 합계가 박막트랜지스터의 채널 길이방향에  $6\mu m$ 이상  $12\mu m$ 이하인 것을 특징으로 한다.

또한, 본 발명의 박막트랜지스터의 제조방법은 다결정실리콘박막을 활성층으로 하고, 상기한 다결정실리콘박막의 위쪽에 게이트절연막을 가지고, 상기한 게이트절연막의 위쪽에 복수개의 게이트전극을 가지며, 채널영역과 소스 및 드레인영역의 사이에 저농도불순물의 주입영역을 가지는 LDD구조를 가진 박막트랜지스터를 제조하기에 있어서, 제1의 불순물의 주입 후, 게이트전극간의 다결정실리콘영역의 위를 포함하여 LDD영역으로 되는 영역 상에 주입마스크를 형성하고, 제2의 불순물의 주입을 실시하여 박막트랜지스터의 소스 및 드레인영역으로 되는 고농도불순물의 주입영역을 형성하는 것을 특징으로 한다.

또한, 본 발명의 박막트랜지스터의 제조방법은 다결정실리콘박막을 활성층으로 하고, 상기한 다결정실리콘박막의 위에 게이트절연막을 가지고, 상기한 게이트절연막의 위에 복수개의 게이트전극을 가지며, 채널영역과 소스 및 드레인영역의 사이에 저농도불순물의 주입영역을 가지는 LDD구조를 갖는 박막트랜지스터를 제조하는 데 있어서, 다결정실리콘박막의 위에 이종(異種)의 게이트절연막을 적층하고, 상기한 게이트절연막의 상층절연막을 적어도 소스 및 드레인영역 상에서는 제거하며, 또한 저농도불순물영역의 위 및 각 게이트전극간의 다결정실리콘과 위를 피복하는 형상으로 가공한 후, 한 번의 불순물 주입공정에 의해 박막트랜지스터의 소스 및 드레인영역 및 저농도불순물의 주입영역을 형성하고, 불순물의 주입공정 후, 저농도불순물영역 및 각 게이트전극 간의 다결정실리콘의 위를 피복하고 있는 상층게이트절연막을 제거하는 것을 특징으로 하고, 더욱이 게이트절연막을, 다결정실리콘박막상과 산화실리콘 박막과 질화실리콘 혹은 산화탄탈로 된 2층의 게이트절연막으로 형성하는 것을 특징으로 한다.

본 발명의 액티브 매트릭스 어레이를 사용한 액정표시장치는, 다결정실리콘박막을 활성층으로 하고, 구동회로를 동일기판 내로 집적화한 액티브 매트릭스 어레이가 적어도 화소전극을 구동하는 박막트랜지스터에 복수개의 게이트전극을 가지고, 상기한 박막트랜지스터의 채널영역과 소스 및 드레인영역의 사이에 저농도불순물의 주입영역을 가지는 LDD구조를 가지며, 또한 각 게이트전극 간의 다결정실리콘박막은 저농도불순물의 주입영역만으로 형성되어 있는 것을 특징으로 한다.

### 발명의 구성 및 작용

이하, 본 발명의 실시예에 대하여 도면을 사용하여 설명한다.

(실시예1)도 1a에서 도 1d까지는 본 발명의 실시예1의 LDD구조를 가지는 박막트랜지스터의 제조공정을 나타낸다.

먼저, 도 1a에 나타내듯이 산화실리콘을 표면코팅한 유리기판(11)의 위에 비정질실리콘박막을 플라즈마CVD법에 의해 50nm의 막두께로 형성한다.

비정질실리콘을 질소중에서 450℃, 90분의 열처리를 실시한 막중의 수소농도를 감소시킨 후, 엑시머레이저(excimer laser) 조사로써 비정질실리콘박막을 결정화하여 활성층으로 된 다결정실리콘박막(13)을 형성한다.

이 다결정실리콘박막(13)을 박막트랜지스터의 형상으로 가공하고, 그 위에 게이트절연막(14a)으로 되는 산화실리콘을 85nm로 형성한다.

이 산화실리콘의 위에 2개의 전기적으로 접속된 게이트전극(15)을 형성한다. 각 전극간격은 노광기의 최소선폭인 5μm로 형성되어 있다. 게이트전극(15)은 산화실리콘과 맞닿도록 티탄(Ti)을 80nm, 티탄의 위에 알루미늄(Al)에 지르코늄(Zr)을 7.4%함유한 합금을 100nm형성하여, 계180nm의 막두께로 구성되어 있다.

게이트전극형성 후, 게이트전극(15)을 마스크로서 이온도핑법에 의해 인(P)을 가속전압80kV, 주입도즈(dose)량  $1 \times 10^{13}/cm^2$ 으로 주입하는 제1의 불순물의 주입을 실시하고, 저농도불순물의 주입영역(n-영역)(13b)을 형성한다.

이온도핑법은 수소가스에 5%농도의  $\text{PH}_3$ 를 혼합한 가스를 고주파방전에 의해 플라즈마분해하고, 생성된 이온을 질량분리공정을 하지 않고 박막트랜지스터에 주입하고 있다. 이때 게이트전극(15) 아래의 다결정실리콘박막은 박막트랜지스터의 채널영역(13a)이 된다.

제1의 불순물의 주입 후, 도 1b에 나타내듯이 포토레지스트(25)에 의해 박막트랜지스터의 LDD영역 상에 주입마스크를 형성한 후, 제2의 불순물의 주입을 실시한 박막트랜지스터의 소스 및 드레인영역이 되는 고농도불순물의 주입영역(n+영역)(13c)을 형성한다. 제2의 불순물의 주입에서는, 인(P) 이온을 가속전압 80kV, 도즈량  $1 \times 10^{15}/\text{cm}^2$ 으로 주입한다.

이 때 레지스트마스크는 도 1b에 나타내듯이 양 게이트전극 사이의 다결정실리콘박막의 위를 모두 마스크하도록 형성한다. 이것에 의해, 양 게이트전극 간의 다결정실리콘박막은 저농도불순물의 주입영역(13b)만을 거쳐 접촉되도록 한 형상으로 형성된다.

제2의 불순물의 주입 후, 도 1c에 나타내듯이 포토레지스트마스크를 제거하고, 주입한 불순물의 활성화처리를 한다. 활성화처리 후, 도 1d에 나타내듯이 중간절연막(16)을 형성한다. 최후에 콘택트홀을 개구한 후, 소스 드레인전극(21), (22)을 형성하여 박막트랜지스터가 완성된다.

(실시예2)도 2a에서 도 2d까지는 본 발명의 실시예2의 LDD구조를 가지는 박막트랜지스터의 제조공정을 나타낸다.

먼저, 도 2a에 나타내듯이 산화실리콘을 표면코팅한 유리기판(11)의 위에 비정질실리콘박막을 플라즈마CVD법에 의해 50nm의 막두께로 형성한다. 비정질실리콘을 질소중에서 450℃, 90분의 열처리를 한 막중의 수소농도를 감소시킨 후, 엑시머레이저로써 결정화하여 활성층이 되는 다결정실리콘박막(13)을 형성한다.

이 다결정실리콘박막(13)을 박막트랜지스터의 형상으로 가공하고, 그 위에 게이트절연막(14a)이 되는 산화실리콘을 85nm로 형성한다. 이 산화실리콘의 위에 제2의 게이트절연막(14b)이 되는 산화탄탈을 50nm로 형성한다. 다음에 산화탄탈의 위에 2개의 게이트전극(15)을 형성한다. 게이트전극(15)은 산화탄탈과 맞닿도록 티탄(Ti)을 80nm, 티탄의 위에 알루미늄(Al)에 지르코늄(Zr)을 7.4% 함유한 합금을 100nm형성하여 계 180nm의 막두께로 구성되어 있다.

유일게이트전극을 형성한 후, 박막트랜지스터의 LDD영역의 위 및 박막트랜지스터의 양 게이트전극 사이만 산화탄탈로 피복하고, 소스 및 드레인영역 위의 산화탄탈을 선택적으로 제거한다.

산화탄탈박막을 상기한 형상으로 가공한 후, 도 2b에 나타내듯이 이온도핑법에 의해 인(P)을 가속전압 80kV, 주입도즈량  $1 \times 10^{15}/\text{cm}^2$ 으로 주입한다. 이온도핑법은 수소가스에 5%농도의  $\text{PH}_3$

를 혼합한 가스를 고주파방전에 의해 플라즈마분해하고, 생성된 이온을 질량분리공정없이 시료에 주입하고 있다.

따라서, 인(P)이온은 박막트랜지스터의 소스 및 드레인영역에는 산화실리콘단층막을 통과하고, 또한 LDD영역 및 양 게이트전극 사이 영역에는 산화탄탈과 산화실리콘의 적층막을 통하여 주입된다. 산화탄탈과 산화실리콘의 적층막을 통하여 주입된 영역, 즉 LDD 및 양 게이트전극 간의 영역에는, 산화실리콘을 통하여 주입된 영역, 즉, 소스 및 드레인영역에 비하여 주입량이 감소하고, 한번의 불순물의 주입공정에 의해 고농도불순물의 주입영역(13c)의 소스 및 드레인영역과 저농도불순물의 주입영역(13b)의 LDD영역이 동시에 형성된다.

더욱이 이 때 박막트랜지스터의 양 게이트전극 사이는 LDD영역과 동일농도의 저농도불순물이 주입된 다결정실리콘박막으로 이루어진 저농도불순물의 주입영역(13b)에 의해서만 접촉된다.

또, 게이트전극(15) 아래의 다결정실리콘박막은 박막트랜지스터의 채널영역(13a)으로 된다.

박막트랜지스터에의 불순물의 주입 후, 도 2c에 나타내듯이 LDD영역 상의 산화탄탈박막을 제거한다.

그 후, 도 2d에 나타내듯이 산화실리콘으로 이루어진 중간절연막(16)을 형성한다. 산화실리콘은 상압(常壓)CVD법을 사용하여 430℃로 형성하고 있고, 본 공정에서 동시에 주입한 불순물의 활성화가 가능하다. 마지막으로 콘택트홀을 개구한 후, 소스-드레인전극(21), (22)을 형성하여 박막트랜지스터가 완성된다.

(실시예3)도 3a에서 도 3d까지는 본 발명의 실시예3의 액정표시장치용 액티브 매트릭스 어레이의 제조공정을 나타낸다.

먼저, 도 3a에 나타내듯이 산화실리콘을 표면코팅한 유리기판(11)의 위에 비정질실리콘박막을 플라즈마CVD법에 의해 50nm의 막두께로 형성한다. 비정질실리콘을 질소중에서 450℃, 90분의 열처리를 하고, 막중의 수소농도를 감소시킨 후, 엑시머레이저로써 결정화하여 다결정실리콘박막(13)을 형성한다.

다결정실리콘박막(13)을 박막트랜지스터의 형상으로 가공하고, 게이트절연막(14a)이 되는 산화실리콘을 85nm로 형성한다. 산화실리콘의 위에 제2의 게이트절연막(14b)이 되는 산화탄탈을 50nm로 형성한다.

다음에 p채널 박막트랜지스터의 위에 게이트전극(15)을 형성한다. 게이트전극(15)은 산화탄탈과 맞닿도록 티탄(Ti)을 80nm, 티탄의 위에 알루미늄(Al)에 지르코늄(Zr)을 7.4% 함유한 합금을 150nm로 형성하고, 계 320nm의 막두께로 구성되어 있다. 이 때 n채널 박막트랜지스터의 위에는 게이트전극재로 피복되어 있다.

그 후, p채널 박막트랜지스터의 소스 및 드레인영역에 붕소(B)를 주입한다. 붕소는 이온도핑법을 사용하고, 가속전압 60kV, 도즈량  $5 \times 10$

$15/cm$ 으로 주입한다.

붕소이온 주입 후, 도 3b에 나타내듯이 n채널 박막트랜지스터의 위에 게이트전극(15)을 형성한다. 화소TFT의 게이트전극은 듀얼게이트구조이고, 또 LDD영역의 위 및 화소TFT의 양 게이트전극 사이의 산화탄탈막을 남겨두고, 소스 및 드레인영역 위의 산화탄탈을 선택적으로 제거한다. 산화탄탈박막을 상기한 형상으로 가공한 후, 이온도핑법으로 인(P)을 가속전압 80kV, 주입도즈량  $1 \times 10$

$15/cm$ 으로 주입한다.

이 때 화소TFT의 양 게이트전극 사이는 LDD영역과 동일농도의 저농도불순물을 주입한 다결정실리콘박막에 의해 접속된다. 박막트랜지스터에의 불순물의 주입 후, 게이트전극을 마스크로서 LDD영역의 위 및 양 게이트전극사이의 산화탄탈박막을 제거한다. 이 산화탄탈 제거공정은 하는 것에 의해 박막트랜지스터의 OFF전류를 대폭적으로 감소시키는 것이 가능하다.

다음에 도 3c에 나타내듯이, 산화실리콘으로 이루어진 제1의 층간절연막(16)을 형성한다. 산화실리콘은 상압CVD법을 사용하여  $430^\circ\text{C}$ 로 하여 형성하고 있고, 본 공정에서 동시에 주입한 불순물의 활성화가 가능하다. 제1의 층간절연막(16)의 위에 ITO(Indium-Tin-Oxide)막으로 이루어진 화소전극(18)을 형성하고, 산화실리콘으로 이루어진 제2의 층간절연막(17)을 형성한다.

콘택트홀을 개구한 후, 도 3d에 나타내듯이, 소스 드레인전극(21), (22)을 형성한다. 더욱이 보호막(23)이 되는 질화실리콘을 플라즈마CVD법으로 형성하고 수소분위기에서  $350^\circ\text{C}$ 의 애닐링(annealing)처리를 한 후, 화소전극(18) 위의 질화실리콘-산화실리콘층막을 선택적으로 제거하여 액티브 매트릭스 어레이가 완성된다.

도 4는 도 3a에서 도 3d까지의 액티브 매트릭스 어레이를 사용하여 제작한 액정표시장치의 구성단면도의 일례이고, 화소부를 확대 표시한 것이다. 유리기판(11)의 위에 형성한 액티브 매트릭스와 대향기판(43)의 사이에 배향막(46)을 거쳐 액정(47)이 지지되어 있고, 박막트랜지스터를 스위칭소자로서 화소전극(18)을 구동하고 액정을 충전하여 화상표시를 하고 있다.

이 액정표시장치는 종래의 저층LDD박막트랜지스터를 화소에 사용한 경우와 비교하여 소자의 미세화가 가능하게 되고 액정표시장치의 개구율이 향상한다. 여기서, 41은 불투명매트릭스, 42는 편광판, 44는 컬러필터, 45는 투명도전층이다.

### 발명의 효과

또, 본 실시예에서는 화소구동용 박막트랜지스터에 LDD구조를 가지는 경우에 관하여 설명하고 있지만, 구동회로부의 n채널박막트랜지스터의 적어도 일부에도 LDD구조를 사용하는 것도 좋고, 특히 신속성 향상에 효과가 있다.

이상과 같이 본 발명의 LDD구조를 가지는 박막트랜지스터는 각 게이트전극 사이를 바람직하게는  $5k\Omega \sim 150k\Omega$ 의 시트저항을 가지는 저농도불순물영역만으로 접속하는 것에 의해, 박막트랜지스터의 리크전류의 감소와 소자크기 및 축소의 양립이 가능하게 됐다. 박막트랜지스터와 각 게이트전극 간의 크기는 노광기의 최소선폭으로만 규정되어 전극간격은  $5\mu\text{m}$ 로 하는 것이 가능하고, 종래의  $10\mu\text{m}$ 와 비교하여 50%로 소자크기를 축소하는 것이 가능하게 되었다.

본 발명의 액티브 매트릭스 어레이를 사용한 액정표시장치에서는, 화소전극을 구동하는 박막트랜지스터와 소자크기의 축소가 가능하게 되고, 해상도의 향상, 개구율의 향상에 따라 밝기의 증대나 소비전력저감효과가 얻어진다.

### (57)청구의 범위

#### 청구항1

다결정실리콘박막(13)을 활성층으로 하고, 또한 1개의 박막트랜지스터에 복수개의 게이트전극(15)을 가지는 박막트랜지스터에 있어서,

박막트랜지스터와 채널영역(13a)과 소스 및 드레인영역의 사이에 상기한 소스 및 드레인영역과 비교하여 저농도로 불순물을 주입한 다결정실리콘영역을 가지고,

또한, 각 게이트전극(15) 간의 다결정실리콘박막은 상기한 저농도로 불순물을 주입한 다결정실리콘박막(13)만으로 형성되어 있는 것을 특징으로 하는 박막트랜지스터.

#### 청구항2

제1항에 있어서, 저농도로 불순물을 주입한 다결정실리콘박막(13)의 시트저항이  $5k\Omega \sim 150k\Omega$ 인 것을 특징으로 하는 박막트랜지스터.

#### 청구항3

제1항 또는 제2항에 있어서, 박막트랜지스터의 소스 및 드레인영역 사이에 포함되는 전체의 저농도불순물을 주입한 다결정실리콘박막(13) 길이의 합계가 박막트랜지스터의 채널길이방향으로  $6\mu\text{m}$ 이상  $12\mu\text{m}$ 이하인 것을 특징으로 하는 박막트랜지스터.

## 청구항4

다결정실리콘박막(13)을 활성층으로 하고, 상기한 다결정실리콘박막(13) 위쪽에 게이트절연막(14a)을 가지고, 상기한 게이트절연막(14a) 위에 복수개의 게이트전극(15)을 가지며, 채널영역과 소스 및 드레인영역 사이에 저농도불순물의 주입영역(13b)을 가지는 LDD구조를 가진 박막트랜지스터의 제조방법에 있어서,

제1의 불순물의 주입 후, 게이트전극(15) 사이의 다결정실리콘영역의 위를 포함하여 LDD영역으로 되는 영역상에 주입마스크를 형성하고,

제2의 불순물의 주입을 실시하여 박막트랜지스터의 소스 및 드레인영역이 되는 고농도불순물의 주입영역(13c)을 형성하는 공정을 가진 것을 특징으로 하는 박막트랜지스터의 제조방법.

## 청구항5

다결정실리콘박막(13)을 활성층으로 하고, 상기한 다결정실리콘박막 위에 게이트절연막(14a)을 가지고, 상기한 게이트절연막(14a) 위에 복수개의 게이트전극(15)을 가지며, 채널영역(13a)과 소스 및 드레인영역의 사이에 저농도불순물의 주입영역(13b)을 가지는 LDD구조를 가진 박막트랜지스터의 제조방법에 있어서,

다결정실리콘박막(13)의 위쪽에 이종(異種)의 게이트절연막을 적층하고,

상기한 게이트절연막의 상층절연막을 적어도 소스 및 드레인영역에서는 제거하며,

또한 저농도불순물영역의 위쪽과 각 게이트전극간의 다결정실리콘의 위쪽을 피복하는 형상으로 가공한 후,

한번의 불순물의 주입공정에 의해 박막트랜지스터의 소스 및 드레인영역과 저농도불순물의 주입영역(13b)을 형성하는 공정을 가진 것을 특징으로 하는 박막트랜지스터의 제조방법.

## 청구항6

제5항에 있어서, 불순물의 주입공정 후, 저농도불순물영역 및 각 게이트전극사이의 다결정실리콘의 위쪽을 피복하고 있는 상층게이트절연막을 제거하는 공정을 가진 것을 특징으로 하는 박막트랜지스터의 제조방법.

## 청구항7

제5항 또는 제6항에 있어서, 게이트절연막을 다결정실리콘박막 위의 산화실리콘박막이 집적화실리콘 혹은 산화실리콘으로 이루어진 2층의 게이트절연막으로 형성한 것을 특징으로 하는 박막트랜지스터의 제조방법.

## 청구항8

다결정실리콘박막(13)을 활성층으로 하고, 구동회로를 동일기판 내에 집적화한 액티브 매트릭스 어레이를 사용한 액정표시장치에 있어서,

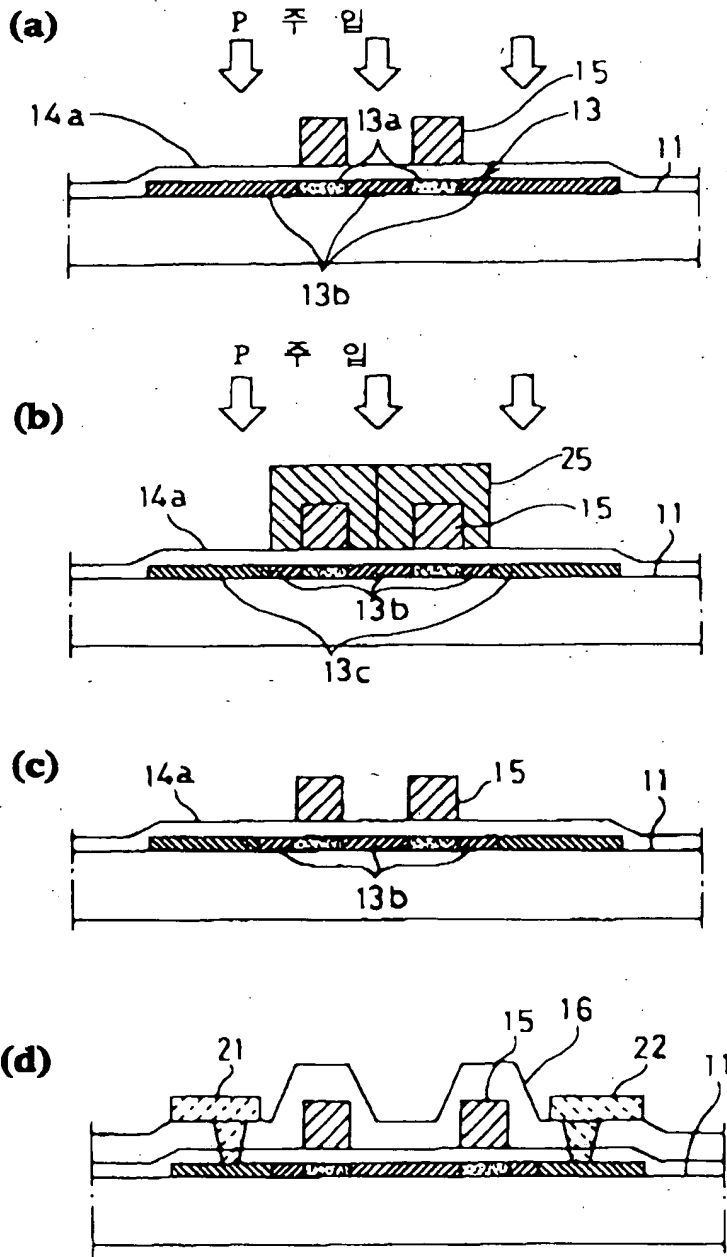
상기한 액티브 매트릭스 어레이는, 적어도 화소전극(18)을 구동하는 박막트랜지스터에 복수개의 게이트전극(15)을 가지고,

상기한 박막트랜지스터의 채널영역과 소스 및 드레인영역 사이에 저농도불순물의 주입영역(13b)을 가지는 LDD구조를 가지며,

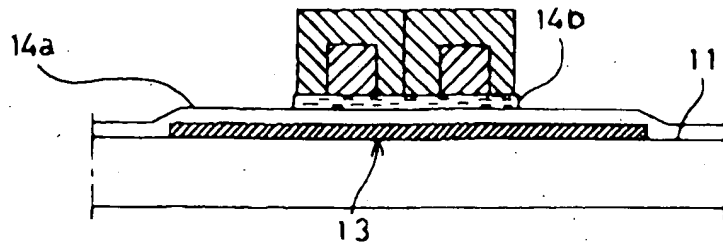
또한, 각 게이트전극(15) 사이의 다결정실리콘박막(13)은 저농도불순물의 주입영역(13b)만으로 형성한 것을 특징으로 하는 액티브 매트릭스 어레이를 사용한 액정표시장치.

도면

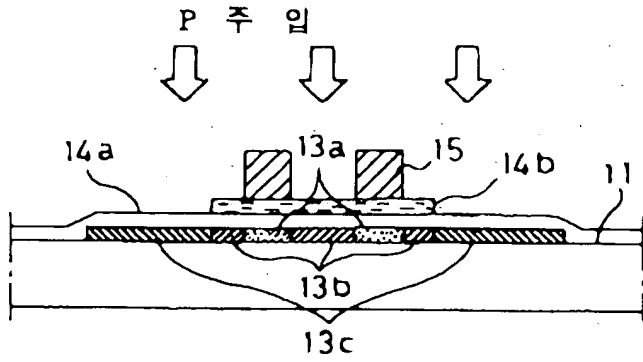
도면1



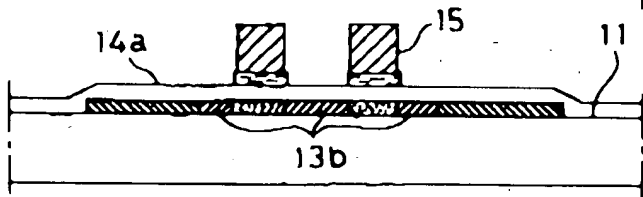
(a)



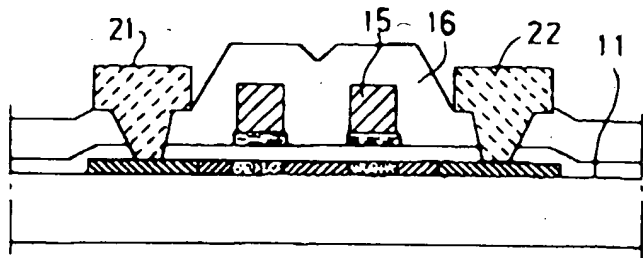
(b)



(c)



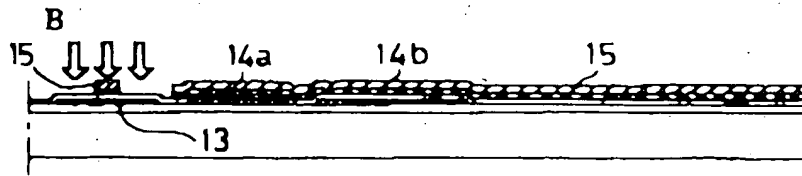
(d)



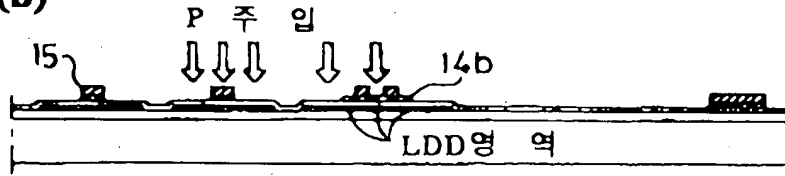
도면3



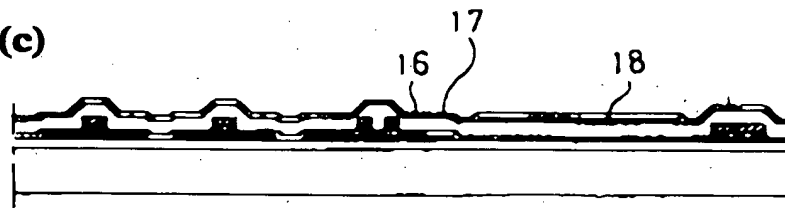
(a)



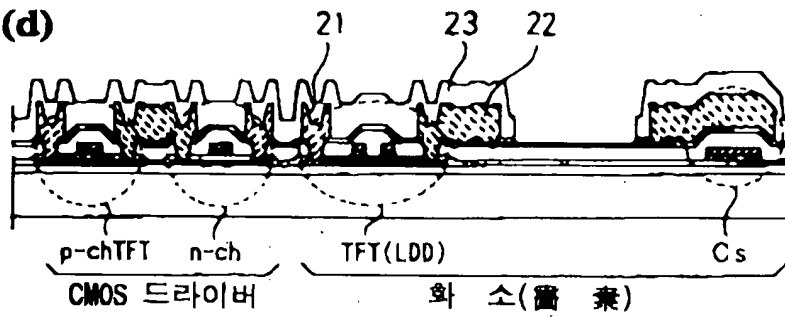
(b)

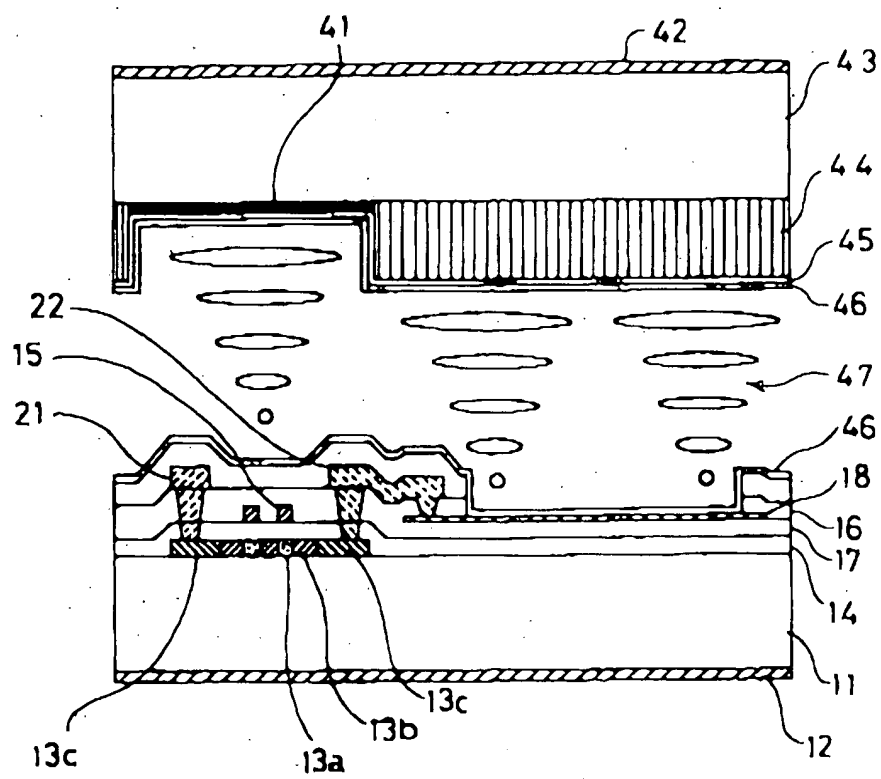


(c)

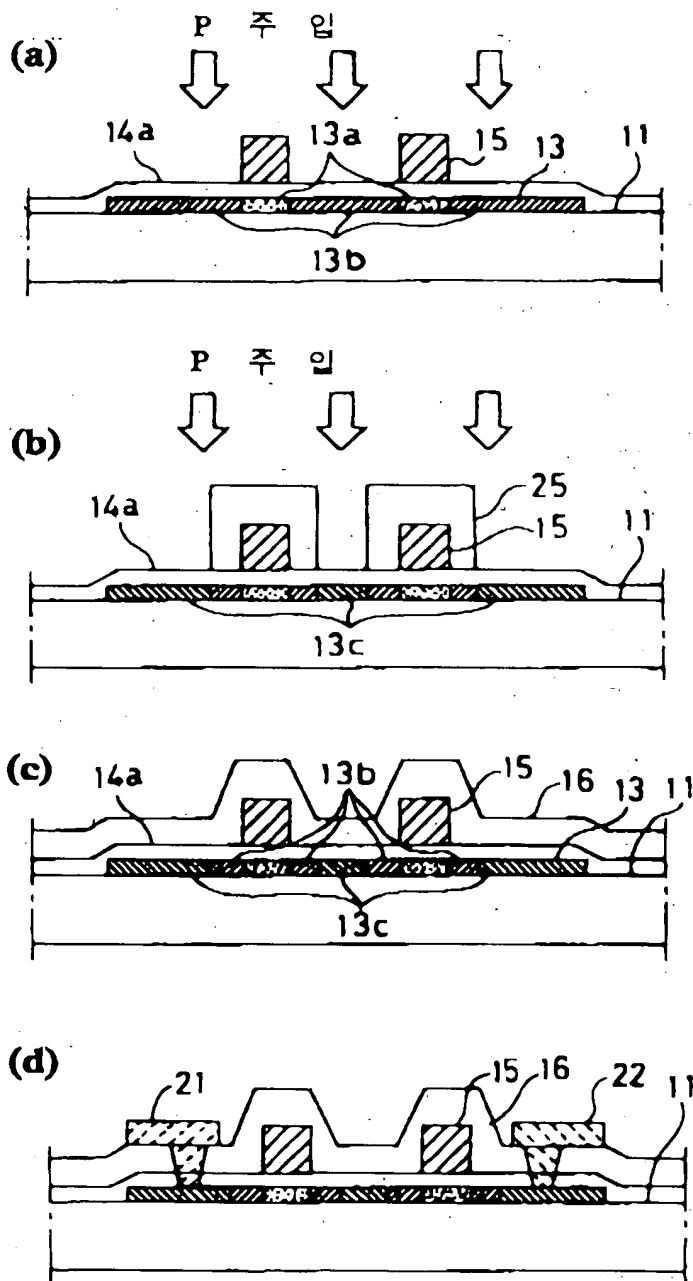


(d)





595



**DELPHION**

KR 1998-081122

trail

RESEARCH

My Account

Search: Quick/Number Boolean Advanced Derwent

Help

## The Delphion Integrated View

Get Now: ☒ PDF | [File History](#) | [Other choices](#)

Tools: Add to Work File: [Create new Work File](#) [Add](#)

View: [INPADOC](#) | Jump to: [Top](#)

Go to: [Derwent](#)

[Email this to a friend](#)

Title: **JP10284734A2: THIN-FILM TRANSISTOR, MANUFACTURE THEREFOR, AND LIQUID CRYSTAL DISPLAY DEVICE USING THE SAME**

Derwent Title: Thin film transistors for use in liquid crystal display units - using a lightly doped drain structure to reduce leakage current.  
(Derwent Record)

Country: JP Japan  
Kind: A (See also: [JP03274081B2](#))

Inventor: FURUTA MAMORU;

Assignee: MATSUSHITA ELECTRIC IND CO LTD  
[News, Profiles, Stocks and More about this company](#)

Published / Filed: 1998-10-23 / 1997-04-08

Application Number: JP1997000088563

IPC Code: Advanced: [H01L 21/338](#); [H01L 21/84](#); [H01L 27/12](#);  
[H01L 29/49](#); [H01L 29/788](#); [G02F 1/1362](#);  
Core: [H01L 21/02](#); [H01L 21/70](#); [H01L 29/40](#); [H01L 29/66](#);  
more...  
IPC-7: [G02F 1/136](#); [H01L 21/336](#); [H01L 29/786](#);

Priority Number: 1997-04-08 JP1997000088563

Abstract: PROBLEM TO BE SOLVED: To micronize an element, while reducing the leak current of a film transistor by connecting polycrystalline silicon films between each gate electrode and the next with each other by only a region where impurities are implanted in low concentration.

SOLUTION: To begin with, an amorphous silicon film is made on a glass substrate 11 coated with a silicon oxide. Next, the amorphous silicon is heat-treated in nitrogen to reduce the concentration of hydrogen, and then the amorphous silicon film is crystallized by the application of an excimer laser to form a polycrystalline silicon film 13 to serve as an active layer. Then, after the implantation of first impurities, an implantation mask is made on the LDD region of a film transistor by photoresist 25, and then the implantation of the second impurities is performed to form a region 13c, where impurities are implanted in high concentration and which serve as the source and drain regions of the film transistor. After that, the resist mask is removed, and after activation treatment of the implanted impurities, an interlayer insulating film 16 is made, and a source and a drain are made.

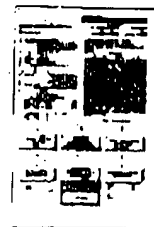
COPYRIGHT: (C)1998,JPO

INPADOC Legal Status: None Get Now: [Family Legal Status Report](#)

Designated Country: AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE

Family:

PDF	Publication	Pub. Date	Filed	Title
-----	-------------	-----------	-------	-------



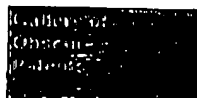
View Image

1 page

<input checked="" type="checkbox"/>	US6034748	2000-03-07	1998-04-02	Thin film transistor, manufacturing method therefor and liquid crystal display unit using the same
<input checked="" type="checkbox"/>	TW0423159B	2001-02-21	1998-04-07	THIN-FILM TRANSISTOR AND PROCESS OF MANUFACTURING THEREOF AND LIQUID CRYSTAL DISPLAY USING THEREOF
<input checked="" type="checkbox"/>	JP10284734A2	1988-10-23	1997-04-08	THIN-FILM TRANSISTOR, MANUFACTURE THEREFOR, AND LIQUID CRYSTAL DISPLAY DEVICE USING THE SAME
<input checked="" type="checkbox"/>	JP03274081B2	2002-04-15	1997-04-08	
<input checked="" type="checkbox"/>	EP0871227B1	2002-02-06	1998-04-07	Method of manufacturing a thin film transistor
<input checked="" type="checkbox"/>	EP0871227A3	1999-12-08	1998-04-07	Thin film transistor, manufacturing method therefor and liquid crystal display unit using the same
<input checked="" type="checkbox"/>	EP0871227A2	1998-10-14	1998-04-07	Thin film transistor, manufacturing method therefor and liquid crystal display unit using the same
<input checked="" type="checkbox"/>	DE69803713T2	2002-05-29	1998-04-07	HERSTELLUNGSMETHODE EINES DUENNFILM-TRANSISTORS
	DE69803713C0	2002-03-21	1998-04-07	HERSTELLUNGSMETHODE EINES DUENNFILM-TRANSISTORS
<input checked="" type="checkbox"/>	CN1198598A	1998-11-11	1998-04-08	FILM TRANSISTOR AND MAKING METHOD THEREOF AND LCD DEVICE USING IT
10 family members shown above				

Other Abstract Info:

CHEMABS 129(26)349782H CAN129(26)349782H DERABS C98-523455



Nominate this for the Gallery...



Copyright © 1997-2006 The Thomson Corporation

[Subscriptions](#) | [Web Seminars](#) | [Privacy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact Us](#) | [Help](#)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**